

Микропроцессор J11

Микропроцессор J11 (DCJ-11AC) является СБИС, выполняющей функции 16-разрядного процессора мини-компьютера PDP-11/70. Он состоит из двух комплементарных МОП-интегральных схем: кристалла обработки данных (КОД) и управляющего кристалла (УК) — контроллера последовательности микрокода.

Прибор размещен в одном 60-контактном восьмислойном керамическом корпусе размером 7,62x33 мм. Потребляемая МП мощность составляет 1 Вт при работе от + 5 В.

Набор команд МП J11 может быть расширен добавлением двух дополнительных УК с нижней стороны этого же корпуса.

Длительность цикла МП 200 нс.

Микропроцессор содержит быстродействующие средства управления кэш-памятью, дополнительные системные регистры, функциональные средства управления памятью PDP-11 и полный набор инструкций для выполнения арифметических операций с плавающей точкой.

Микропроцессор превосходит по производительности все модели семейства PDP-11, в том числе модель 11/70, программно совместим с процессорами семейства на уровне макрокода и на уровне ОС.

В применяемый керамический корпус можно устанавливать до трех УК, которые вместе с КОД соединены с помощью двух 22-разрядных шин: микроинструкций и адресов и данных (ШАД) с временным уплотнением.

Микроинструкции, формируемые на УК, поступают на КОД по шине микроинструкций. После этого КОД выдает фактический адрес на ШАД.

Устройство управления памятью обеспечивает адресацию 4 Мбайт физической памяти. Виртуальная память может быть расширена путем отдельного преобразования адресов для областей инструкций и данных.

Микропроцессор реализует полный набор инструкций и регистровую структуру PDP-11/70, аппаратное выполнение операций умножения, деления с плавающей точкой двойной точности, средства отладки микропрограммы в восьмеричном коде, предусмотренные в LSI-11/23, а также функции взаимоблокировки процессоров с целью использования МП в многопроцессорных системах.

Микропроцессор содержит два набора по шесть 16-разрядных РОН, программный счетчик, три указателя стека (ядра, супервизора пользователя), а также несколько системных регистров: управления кэш-памятью и признаков попадания (промаха) программируемых запросов прерываний для обеспечения взаимодействия между задачами, ошибок, индицирующих различные типы программных ошибок).

Основные характеристики конфигураций МП

Конфигурация МП	А	В	С	Д
Емкость кэш-памяти, Кбайт:				
общая	—	8	8	—
набора	—	1	1	—
блока	—	2	1	—
Время чтения памяти, нс	200	900	1000	400
Время чтения кэш-памяти, нс	200	200	200	—
Время записи в память, нс	400	400	1100	400

Кристалл обработки данных содержит две секции: устройство управления памятью (УУП) и исполнительное устройство (ИУ), реализующее три основные функции: выполнение инструкций, управление памятью и предварительную выборку инструкций. Механизм предварительной выборки инструкций работает независимо от остальных блоков КОД.

Микропроцессор реализует все функции управления памятью, предусмотренные для PDP-11/70. Инициирование соответствующих операций осуществляется с помощью 48 пар регистров управления памятью, размещенных в однопортовом регистровом блоке, к которому можно обращаться по адресам старших 8 Кбайт физической памяти. Каждую пару образуют 16-разрядный регистр адреса страницы (РАС) и 16-разрядный регистр описания (дескриптора) страницы; РАС содержит базовый адрес страницы, информацию о ее длине (от 32 до 4096 байт), расширении страницы и об управлении доступом. Восемь пар регистров образуют область инструкций и данных для каждого из трех режимов работы процессора: ядра, супервизора, пользователя. Девятая неадресуемая пара используется микропрограммой отладки при формировании 22-разрядного адреса для этой отладочной подсистемы.

Однопортовый регистр УУП содержит также 12 32-разрядных сумматоров с плавающей точкой, три регистра состояний для операций с плавающей точкой, регистр ошибок УП, четыре регистра состояния УУП, два 16-разрядных регистра, доступные для микропрограммы.

Три основные функции УПП: преобразует 16-разрядные виртуальные адреса в 22-разрядные физические адреса, проверяет действительность физических адресов в рамках механизма защиты при многозадачной работе, предотвращает несанкционированный доступ к памяти.

Информационный тракт КОД — 32-разрядный. В КОД содержатся также специальные средства выполнения операций умножения и деления, обеспечивающие следующие параметры (мкс):

умножение целых чисел — 4,4;

умножение чисел с плавающей точкой одинарной точности — 6,8;

умножение чисел с плавающей точкой двойной точности — 9.

В МП используются четырехуровневый конвейер и параллельное декодирование макроинструкций, что позволяет выполнять операции типа «регистр-регистр» за один микроцикл, типа «память-регистр» — за два, а типа «память-память» — за пять микроциклов.

В МП предусмотрены специальные аппаратные средства, позволяющие в случае исполнения инструкций ветвления достигать установившегося режима конвейера всего за два микроцикла вместо четырех.

Микропрограммная память и контроллер последовательности микроинструкций реализованы отдельно от КОД с целью возможности расширения микрокода. С точки зрения архитектуры с одним КОД можно использовать максимум 32 управляющих кристалла.

Производительность МП превосходит производительность PDP-11/70 и зависит от принятой структуры памяти.